

MULTIPLE CIRCUIT BOARD

Publication number: JP1191491

Publication date: 1989-08-01

Inventor: TSUNASHIMA EIICHI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: H05K1/14; H05K3/34; H05K1/14; H05K3/34; (IPC1-7):
H05K1/14

- european:

Application number: JP19880016068 19880127

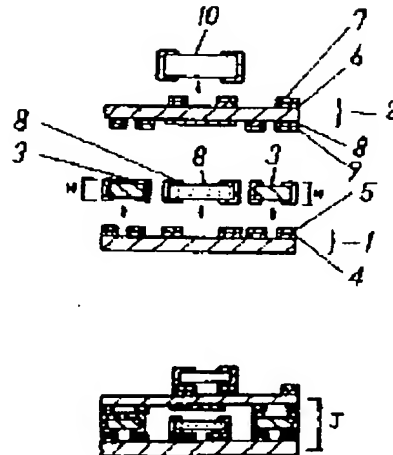
Priority number(s): JP19880016068 19880127

Report a data error here

Abstract of JP1191491

PURPOSE: To make it possible to perform high density mounting at a low cost at high reliability, by fixing and connecting the electrodes of chip type electronic components to printed electrodes dedicated for soldering in an insulating rectangular parallelepiped body, and overlapping a plurality of circuit boards through said chip type electronic components so as to form a unitary body.

CONSTITUTION: Conductor chips 3 are to be provided between a first mounting board 1 and a second mounting board 2. The conductor chips 3 are mounted on the first mounting board 1 together with other surface mounting components, i.e., so-called chip type electronic components 8, so that conductors 4 agree with solders 5. Solders 7 are printed on conductive surface 6 of the other prepared second mounting board 2. The upper surfaces of the conductor chips 3 are brought into contact with the solders 9. A mounting gap J between the first mounting board 1 and the second mounting board 2 is determined by a height H of the conductor chip 3. Tin-lead (weight ratio of 63-37) can be used for the solder. The low temperature solder containing bismuth or the solder containing silver can be also used. A heater source for heating upper and lower parts at the same time is desirable. As the kinds of the heat sources, any of infrared rays, direct infrared rays and electric heating can be used. A conveying device wherein the following conditions can be controlled is desirable: e.g., 215 deg.C+ or -5 deg.C and 15 seconds + or -1 second.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-191491

⑬ Int. Cl.⁴
H 05 K 1/14

識別記号 庁内整理番号
F-7454-5F

⑭ 公開 平成1年(1989)8月1日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 多重回路板

⑯ 特 願 昭63-16068

⑰ 出 願 昭63(1988)1月27日

⑱ 発 明 者 網 島 瑛 一 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

多重回路板

2. 特許請求の範囲

絶縁性直方体に、印刷形成したはんだ付け専用の電極を有し、同電極にチップ型電子部品の各電極を固着接続するとともに、前記チップ型電子部品を介して複数の回路基板を重ねて一体とした多重回路板。

3. 発明の詳細な説明

産業上の利用分野

本発明は、電子機器に用いる回路基板に関し、とりわけ、複数の回路板の積み重ね構造に関する。

従来の技術

従来、複数の回路板としては、まず第1に部品が上下の表層のみに配置されている場合には、スルーホールめっき接続を有する多層配線板が、ガラス布基材エポキシ樹脂積層材料を用いて製造されていた。また、セラミック質の多層配線板も、

スルーホール接続を備えて一部製造されている。

次に、第2の方法として、部品が回路板の間隙に存在する場合について回路基板の四隅に貫通孔を加工し、四本柱を通す構造物が容易に考えられる。また、第3の方法として、セラミック基板の端部にノッチと称する、半月状の欠け部を多数設け、その端面をメタライズして、リード線等をはんだ付けして、連接し、ある間隔に配置した回路板とした構成で、かつてマイクロモジュールと呼ばれていたものがある。

発明が解決しようとする課題

複数の回路板を重ねに構成する目的は、回路部品の実装密度を高め、高い信頼性を保つことにある。第1の多層配線板では、表層、すなわち上・下層以外に部品を配置することは、不可能もしくは困難である。しかも高価である。第2の四本柱をたててつなぐ構造物は、機械的接続だけであって、電気的結線は別にリード線或はコネクタを使っておこなわなければならない。第3のマイクロモジュール構成は、多数のリードまたは端子の

BEST AVAILABLE COPY

はんだ付けがおこないにくく、量産的手法でなく、従って、製造コストの高い欠点があった。また、リードの曲がりがありリードの形状保持性も良くない欠点もある。

課題を解決するための手段

本発明は、一枚の基板面へのチップ型電子部品の搭載を他の上面実装部品搭載と同時にしない、底部の第1実装基板とし、それらの搭載後、別の上面実装基板を第2実装基板として重ねて搭載し、この二重構造に対して、一挙に、はんだリフロー用の加熱をトップ及びボトムの両面から適用できるものである。その際、第2実装基板の下面すなわち、前記チップ型電子部品の電極当接部分に対しては、第1及び第2実装基板に印刷、またはディスペンスするのと同じはんだペーストをあらかじめ印刷しておく。

作用

本発明による構成では、第1基板面、第2基板面及びチップ型電子部品の電極面に、同じ融点のはんだペーストを用いることができ、更にはんだ

付けを多層でおこなうことができる。

同故なら、はんだ付けによるはんだ付け部のゆるみは回避され、はんだ付けの信頼性を高度に維持できる。また、はんだ付け炉の通過回路を1回とするので、基板及び装着部品に対する125℃をこえた熱ショックを与える頻度を最小に留めることができる。基板材質としては、セラミック、ガラスを始め、ガラスエポキシ、紙エポキシ、紙フェノール、紙ポリエステルアーマドエポキシ、ガラスポリイミド等のリジッド型のプリント配線板用積層材などが適用でき、銅、銅、金などの箔または粉末状導体をそれらの基板面に形成して用いることができる。これらの材料は、200～300℃のはんだ付け作業温度に対する耐熱性と、はんだ付けの可能な良い濡れ性をそなえたものとして市場に存在する。

実施例

第1図に本発明の実施例を示す。1は第1実装基板、2は第2実装基板介在させる導体チップ3を第1実装基板1に他の表面実装部品、いわゆる

チップ型電子部品8と共に導体4とはんだ5に合致させて載置する。別に用意した第2実装基板2の導体面9に印刷したはんだ9に導体チップ3の上面を対応して当接する。この導体チップ3の高さHにより、第1実装基板1と第2実装基板2との実装間隙Jがきまる。例えば、第1実装基板1に高さ1.25mmの磁器コンデンサチップを実装した状態で導体チップの高さHを1.50mmに設定して、0.25mmのギャップを第1実装基板1と第2実装基板2との物理的間隙として得る。第1実装基板1と第2実装基板2との間隙はほぼ導体チップ3の高さ(1.50mm)と、導体8及び導体4の厚さ(15μm×2)、それに、はんだ5及び同9の厚さ(15μm×2)として、約1.56mmとなる。基板厚さを1.0mmとすれば、基板配置中心間隙は2.56mmとなる。はんだは用例の多い錫-鉛(重量比率63-37)のものでよいが、時としてビスマス入りの低温はんだ、銀入りのはんだも用いられる。加熱源は上下のいずれか一方は好ましくなく、上下同時加熱のものが温度

分布性がよい。熱源の種類は、赤外、直赤外、電熱のいずれでもよいが、例えば215℃±5℃15±1秒のはんだ付け実行条件の制御可能な搬送装置としてあることが望ましい。

発明の効果

本発明により、第1に実装基板の多重化を、リード線、端子を使用することなく、おこなえるので、位置不整、端子コストの増大を招かない。第2に導体チップは、回路面の小面積に随所に配置でき、端部に限定される必要はない。従って第1及び第2実装基板での配線の引きまわしを短縮できる。第3に接続は、多くの表面実装と同時に行ない得るので、工程数を増加させず、はんだ付け再加熱による、はんだのゆるみ、部品の熱的損傷を招かない。

よって、高温度実装を低いコストで、信頼性高く実施することができる。

4、図面の簡単な説明

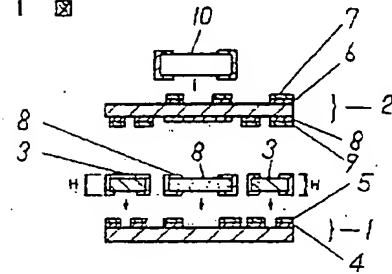
第1図、第2図は本発明実施例の組立以前、組立後の状態を示す各断面図である。

1 …… 第1実装基板、2 …… 第2実装基板、3
 …… 導体チップ、4 …… 第1基板の導体、5 ……
 4に印刷したはんだ、6 …… 第2基板の導体、7
 …… 6に印刷したはんだ、8 …… 第1実装基板に
 実装する表面装着部品、9 …… 8に形成した電
 極、10 …… 第2実装基板に実装する表面装着部
 品。

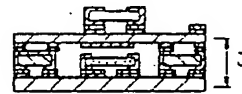
代理人の氏名 弁理士 中尾敏男 ほか1名

1 …… オ1実装基板
 2 …… オ2実装基板
 3 …… 導体チップ
 4 …… オ1基板の導体
 5 …… 4に印刷したはんだ
 6 …… オ2基板の導体
 7 …… 6に印刷したはんだ
 8 …… オ1実装基板に実装する表面装着部品
 9 …… 8に形成した電極
 10 …… オ2実装基板に実装する表面装着部品
 H …… 導体チップの高さ
 J …… 実装基板の配置間隔

第1図



第2図



BEST AVAILABLE COPY